

DERWENT-ACC-NO: 2002-087395

DERWENT-WEEK: 200212

COPYRIGHT 2006 DERWENT INFORMATION LTD

TITLE: Method for manufacturing capacitor

INVENTOR: LEE, Y J

PATENT-ASSIGNEE: HYNIX SEMICONDUCTOR INC[HYNIN]

PRIORITY-DATA: 1999KR-0045357 (October 19, 1999)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES
MAIN-IPC			
KR 2001037699 A	May 15, 2001	N/A	001
027/108			H01L

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
KR2001037699A	N/A	1999KR-0045357	October 19, 1999

INT-CL (IPC): H01L027/108

ABSTRACTED-PUB-NO: KR2001037699A

BASIC-ABSTRACT:

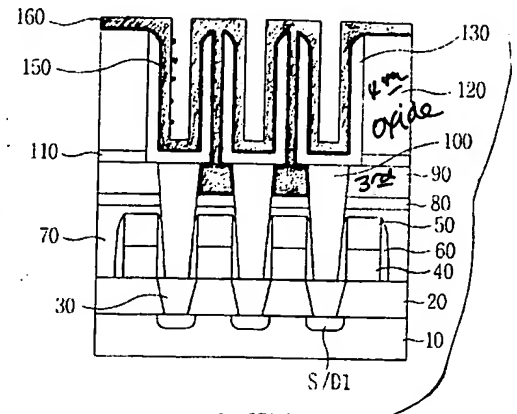
NOVELTY - A method for manufacturing a capacitor is provided to increase capacitance without increasing an etching aspect ratio, by compounding the heights of the third and fourth oxide layers to control the capacitance.

DETAILED DESCRIPTION - The first oxide layer(20), a cell plug(30), a bit line conductive layer(40), a bit line cap(50) and a bit line sidewall(60) are sequentially formed on a semiconductor substrate(10) to form a bit line. The second oxide layer(70), the first nitride layer(80) and the third oxide layer(90) are formed on the resultant structure, and a storage node contact(100) connected to the cell plug is formed. The second nitride layer(110) is deposited on the resultant structure. The fourth oxide layer(120) is deposited on the resultant structure. The fourth oxide layer and the second nitride layer are dry-etched to expose the storage node contact and to form a hole. Polysilicon(130) is deposited on the resultant structure. Spin-on-glass(SOG) is applied to fill the hole, and an etch-back process is performed. The polysilicon exposed by the etch-back process is etched, and the SOG is eliminated. The fourth oxide layer between lower electrode of a capacitor and the second nitride layer under the fourth oxide layer are dry-etched. The exposed third oxide layer is wet-etched to extend the surface area of the lower electrode of the capacitor. A dielectric material(150) and a plate electrode(160) of the capacitor are deposited on the resultant structure.

CHOSEN-DRAWING: Dwg.1/10

TITLE-TERMS: METHOD MANUFACTURE CAPACITOR

DERWENT-CLASS: L03 U11



translation
requested

공개특허10-2001-0037699

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. 6
H01L 27/108

(11) 공개번호 10-2001-
(43) 공개일자 0037699
 2001년05월15일

(21) 출원번호 10-1999-0045357

(22) 출원일자 1999년10월19일

(71) 출원인 현대전자산업 주식회사 박종섭
 경기 이천시 부발읍 아미리 산136-1

(72) 발명자 이유진
 충청북도청주시흥덕구가경동1189번지형석아파트102동1206호

(74) 대리인 박장원

심사청구: 없음

(54) 커패시터 형성방법

요약

본 발명은 커패시터 형성방법에 관한 것으로, 종래 커패시터 형성방법은 스토리지 노드컨택, 커패시터 하부전극 및 비트라인캡으로 둘러싸인 부분을 낭비하며, 커패시터의 용량을 높이기 위하여 제 3산화막의 증착 높이를 높게 하여 커패시터 하부전극의 높이를 높이는 방법을 이용하므로 이를 식각할 경우 종횡비가 증가하며 이에 따라 후속공정이 어려워지는 문제점이 있었다. 따라서 본 발명은 모스트랜지스터가 형성된 반도체기판 상부에 차례로 제 1산화막, 셀플러그, 비트라인 도전막, 비트라인캡, 비트라인측벽을 형성하여 비트라인을 구성하고, 그 상부에 차례로 제 1산화막, 제 1절화막, 제 3산화막을 형성하고, 상기 셀플러그에 연결되도록 스토리지 노드컨택을 형성한 후 그 구조물 상부에 제 2절화막을 증착하는 컨택 및 식각방지막 형성공정과; 상기 형성한 구조물 상부전면에 제 4산화막을 증착하고, 상기 스토리지 노드컨택이 드러나도록 제 4산화막 및 제 2절화막을 건식각 하여 홈을 형성한 후 그 구조물 상부에 폴리실리콘을 증착하고, 그 상부에 스핀 온 글라스를 도포하여 상기 형성한 홈을 채운 다음 에치백하는 커패시터 하부전극 형성공정과; 상기 에치백으로 드러난 폴리실리콘을 식각한 후 스핀 온 글라스를 제거하고, 상기 과정에서 드러난 커패시터 하부전극 간의 제 4산화막 및 그 하부에 위치한 제 2절화막을 건식각하여 제거하고, 상기 과정을 통해 드러난 제 3산화막을 습식각하여 커패시터 하부전극의 표면적을 확장한 후 상기 구조물 상부전면에 차례로 유전물질, 커패시터 상부전극을 증착하는 커패시터 확장 및 상부전극 형성공정으로 이루어지는 커패시터 형성공정을 통해 스토리지 노드컨택, 커패시터 하부전극 및 비트라인캡으로 둘러싸인 부분을 하부전극으로 사용함으로써 제 3산화막과 제 4산화막의 높이를 조합하여 커패시터의 용량을 조절할 수 있어 커패시터 용량을 크게 만들 경우에도 식각 종횡비는 증가하지 않도록 하여 제품생산을 용이하게함과 아울러 품질을 향상시킬 수 있는 효과가 있다.

대표도

도2c

명세서

도면의 간단한 설명

도 1은 종래 커패시터 형성방법을 보인 수순단면도.

도 2는 본 발명의 일 실시예를 보인 수순단면도.

*** 도면의 주요부분에 대한 부호의 설명 ***

10 : 반도체기판20 : 제 1산화막
30 : 셀플러그 40 : 비트라인 도전막
50 : 비트라인캡60 : 비트라인측벽
70 : 제 2산화막80 : 제 1절화막
90 : 제 3산화막100 : 스토리지 노드컨택
110 : 제 2절화막120 : 제 4산화막
130 : 폴리실리콘140 : 스펀 온 글라스
150 : 유전물질160 : 커패시터 상부전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야 종래기술

본 발명은 커패시터 형성방법에 관한 것으로, 특히 반도체 메모리 제조공정에서 커패시터의 높이를 결정하는 산화막을 높이지 않고서도 표면적을 넓힐 수 있도록 함으로써 상기 산화막 식각 시 중형비가 커지지 않도록 함과 아울러 용량을 증가시키기에 적당하도록 한 커패시터 형성방법에 관한 것이다.

종래 커패시터 형성방법을 도 1a 내지 도 1c의 수순단면도를 참고로 하여 설명하면 다음과 같다.

모스트랜지스터가 형성된 반도체기판(1) 상부에 차례로 제 1산화막(2), 셀플러그(3), 비트라인 도전막(4), 비트라인캡(5), 비트라인측벽(6)을 형성하여 비트라인을 구성하고, 그 상부에 제 2산화막(7)을 형성하고, 상기 셀플러그(3)에 연결되도록 스토리지 노드컨택(8)을 형성한 후 그 구조물 상부에 절화막(9)을 증착하는 컨택 및 식각방지막 형성공정과; 상기 형성한 구조물 상부전면에 제 3산화막(10)을 증착하고, 상기 스토리지 노드컨택(8)이 드러나도록 제 3산화막(10) 및 절화막(9)을 건식각 하여 홀을 형성한 후 그 구조물 상부에 폴리실리콘(11)을 증착하고, 그 상부에 스펀 온 글라스(12)를 도포하여 상기 형성한 홀을 채운 다음 에치백하는 커패시터 하부전극 형성공정과; 상기 에치백으로 드러난 폴리실리콘(11)을 식각한 후 스펀 온 글라스(12)를 제거하고, 상기 과정에서 드러난 커패시터 하부전극 간의 제 3산화막(10)을 건식각하여 제거한 후 상기 구조물 상부전면에 차례로 유전물질(13), 커패시터 상부전극(14)을 증착하는 커패시터 상부전극 형성공정으로 이루어진다.

먼저, 도 1a에 도시한 바와같이 모스트랜지스터가 형성된 반도체기판(1) 상부에 제 1산화막(2)을 증착하고, 상기 형성된 모스트랜지스터의 소스/드레인영역(S/D)이 드러나도록 건식각한 후 그 상부에 폴리실리콘을 증착하고 평탄화하여 셀플러그(3)를 형성한다.

상기 형성한 구조물 상부전면에 차례로 비트라인 도전막(4), 비트라인캡(5)을 증착한 후 비트라인이 형성될 영역에 맞도록 건식각하고, 상기 형성한 비트라인 도전막(4), 비트라인캡(5)구조물의 측면에 절연막을 이용하여 비트라인측벽(6)을 형성하여 비트라인을 구성한다.

상기 형성한 구조물 상부에 제 2산화막(7)을 형성하고, 상기 셀플러그(3)에 연결되도록 상기 증착된 제 2산화막(7)을 건식각하여 스토리지 노드컨택홀을 형성한 후 그 구조물 상부에 폴리실리콘을 증착하고 평탄화하여 스토리지 노드컨택(8)을 형성한 다음 그 상부 및 제 2산화막(7) 상부에 절화막(9)을 증착하여 식각방지막으로 사용한다. 이때, 상기 구조물은 커패시터를 제외한 메모리셀이 된다.

그 다음, 도 1b에 도시한 바와같이 상기 형성한 구조물 상부전면에 제 3산화막(10)을 증착하고, 상기 스토리지 노드컨택(8)이 드러나도록 제 3산화막(10) 및 절화막(9)을 건식각 하여 홀을 형성한 후 그 구조물 상부에 폴리실리콘(11)을 증착하고, 그 상부에 스펀 온 글라스(12)를 도포하여 상기 형성한 홀을 채운 다음 폴리실리콘(11)이 드러날 때까지 에치백하여 커패시터 하부전극을 형성하는데, 상기 에치백 과정에서 스펀 온 글라스(12)는 오버식각되어 상

기 형성한 홀의 상부 일부는 채워지지 않는다.

그 다음, 도 1c에 도시한 바와같이 상기 에치백으로 드러난 폴리실리콘(11)을 식각하면 스핀 온 글라스(12)가 있는 곳 까지 상기 구조물의 상부에 위치한 폴리실리콘(11)이 제거되고, 그 다음 스핀 온 글라스(12)를 건식각하여 제거하고, 상기 폴리실리콘(11)을 제거하는 과정에서 드러난 커패시터 하부전극 간의 제 3산화막(10)을 건식각하여 제거한 후 상기 구조물 상부전면에 차례로 유전물질(13), 커패시터 상부전극(14)을 증착한다.

발명이 이루고자하는 기술적 과제

그러나, 상기한 바와같은 종래 커패시터 형성방법은 스토리지 노드컨택, 커패시터 하부전극 및 비트라인캡으로 둘러싸인 부분을 낭비하며, 커패시터의 용량을 높이기위하여 제 3산화막의 증착 높이를 높게하여 커패시터 하부전극의 높이를 높이는 방법을 이용하므로 이를 식각할 경우 중형비가 증가하며 이에따라 후속공정이 어려워지는 문제점이 있었다.

본 발명은 상기한 바와 같은 종래의 문제점을 해결하기 위하여 창안한 것으로, 본 발명의 목적은 스토리지 노드컨택, 커패시터 하부전극 및 비트라인캡으로 둘러싸인 부분을 이용함으로써 제 3산화막을 높이지 않고도 커패시터의 용량을 증가시킬 수 있도록하여 이를 식각하여 커패시터 하부전극을 형성하는 경우 중형비를 조절할 수 있게 함으로써 용이한 공정으로 커패시터의 용량을 증가시킬 수 있는 커패시터 형성방법을 제공하는데 있다.

발명의 구성 및 작용

상기한 바와같은 본 발명의 목적을 달성하기 위한 커패시터 형성방법은 모스트랜지스터가 형성된 반도체기판 상부에 차례로 제 1산화막, 셀플러그, 비트라인 도전막, 비트라인캡, 비트라인측벽을 형성하여 비트라인을 구성하고, 그 상부에 차례로 제 2산화막, 제 1절화막, 제 3산화막을 형성하고, 상기 셀플러그에 연결되도록 스토리지 노드컨택을 형성한 후 그 구조물 상부에 제 2절화막을 증착하는 컨택 및 식각방지막 형성공정과; 상기 형성한 구조물 상부전면에 제 4산화막을 증착하고, 상기 스토리지 노드컨택이 드러나도록 제 4산화막 및 제 2절화막을 건식각 하여 홀을 형성한 후 그 구조물 상부에 폴리실리콘을 증착하고, 그 상부에 스핀 온 글라스를 도포하여 상기 형성한 홀을 채운 다음 에치백하는 커패시터 하부전극 형성 과정과; 상기 에치백으로 드러난 폴리실리콘을 식각한 후 스핀 온 글라스를 제거하고, 상기 과정에서 드러난 커패시터 하부전극 간의 제 4산화막 및 그 하부에 위치한 제 2절화막을 건식각하여 제거하고, 상기 과정을 통해 드러난 제 3산화막을 습식각하여 커패시터 하부전극의 표면적을 확장한 후 상기 구조물 상부전면에 차례로 유전물질, 커패시터 상부전극을 증착하는 커패시터 확장 및 상부전극 형성공정으로 이루어진 것을 특징으로 한다.

상기한 바와같은 본 발명에 의한 커패시터 형성방법을 첨부한 도 2a내지 도 2c의 수순단면도를 일 실시예로 하여 상세히 설명하면 다음과 같다.

먼저, 도 2a에 도시한 바와같이 모스트랜지스터가 형성된 반도체기판(10) 상부에 제 1산화막(20)을 증착하고, 상기 형성된 모스트랜지스터 의 소스/드레인영역(S/D1)이 드러나도록 건식각한 후 그 상부에 폴리실리콘을 을 증착하고 평탄화하여 셀플러그(30)를 형성한다.

상기 형성한 구조물 상부전면에 차례로 비트라인 도전막(40), 비트라인캡(50)을 증착한 후 비트라인이 형성될 영역에 맞도록 건식각하고, 상기 형성한 비트라인 도전막(40), 비트라인캡(50)구조물의 측면에 절연막을 이용하여 비트라인측벽(60)을 형성하여 비트라인을 구성한다.

상기 형성한 구조물 상부에 차례로 제 2산화막(70), 제 1절화막(80), 제 3산화막(90)을 형성하고, 상기 셀플러그(30)에 연결되도록 상기 증착된 절연막(90,80,70)을 건식각하여 스토리지 노드컨택홀을 형성한 후 그 구조물 상부에 폴리실리콘을 증착하고 평탄화하여 스토리지 노드컨택(100)을 형성한 다음 그 상부 및 제 3산화막(90) 상부에 제 2절화막(110)을 증착하여 식각방지막으로 사용한다. 이때, 상기 구조물은 커패시터를 제외한 메모리셀이 된다.

그 다음, 도 2b에 도시한 바와같이 상기 형성한 구조물 상부전면에 제 4산화막(120)을 증착하고, 상기 스토리지 노드컨택(100)이 드러나도록 제 4산화막(120) 및 제 2절화막(110)을 건식각 하여 홀을 형성한 후 그 구조물 상부에 폴리실리콘(130)을 증착하고, 그 상부에 스핀 온 글라스(140)를 도포하여 상기 형성한 홀을 채운 다음 폴리실리콘

(130)이 드러날 때 까지 에치백하여 커패시터 하부전극을 형성하는데, 상기 에치백 과정에서 스핀 온 글라스(140)는 오버식각되어 상기 형성한 홀의 상부 일부는 채워지지 않는다.

그 다음, 도 2c에 도시한 바와같이 상기 에치백으로 드러난 폴리실리콘(130)을 식각하면 스핀 온 글라스(140)가 있는 곳 까지 상기 구조물의 상부에 위치한 폴리실리콘(130)이 제거되고, 그 다음 스핀 온 글라스(140)를 건식각하여 제거하고, 상기 폴리실리콘(130)을 제거하는 과정에서 드러난 커패시터 하부전극 간의 제 4산화막(120) 및 그 하부에 위치한 제 2질화막(110)을 건식각하여 제거하고, 상기 과정을 통해 드러난 제 3산화막(90)을 습식각하여 커패시터 하부전극의 표면적을 확장한 후 상기 구조물 상부전면에 차례로 유전물질(150), 커패시터 상부전극(160)을 증착한다.

발명의 효과

상기한 바와같은 본 발명에 의한 커패시터 형성방법은 종래 사용하지 않던 스토리지 노드컨택, 커패시터 하부전극 및 비트라인캡으로 둘러싸인 부분을 하부전극으로 사용함으로써 제 3산화막과 제 4산화막의 높이를 조합하여 커패시터의 용량을 조절할 수 있어 커패시터 용량을 크게 만들 경우에도 식각 중형비는 증가하지 않도록 하여 제품생산을 용이하게함과 아울러 품질을 향상시킬 수 있는 효과가 있다.

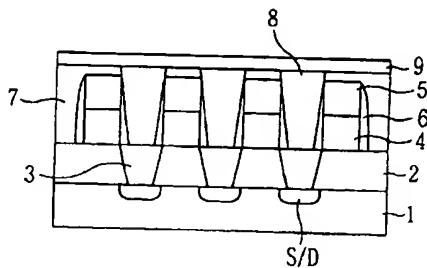
(57) 청구의 범위

청구항1

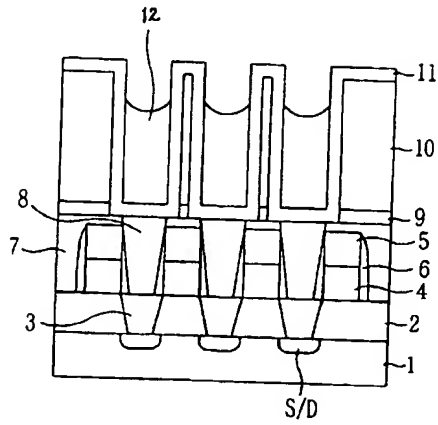
모스트랜지스터가 형성된 반도체기판 상부에 차례로 제 1산화막, 셀플러그, 비트라인 도전막, 비트라인캡, 비트라인 측벽을 형성하여 비트라인을 구성하고, 그 상부에 차례로 제 2산화막, 제 1질화막, 제 3산화막을 형성하고, 상기 셀플러그에 연결되도록 스토리지 노드컨택을 형성한 후 그 구조물 상부에 제 2질화막을 증착하는 컨택 및 식각방지막 형성공정과; 상기 형성한 구조물 상부전면에 제 4산화막을 증착하고, 상기 스토리지 노드컨택이 드러나도록 제 4산화막 및 제 2질화막을 건식각 하여 홀을 형성한 후 그 구조물 상부에 폴리실리콘을 증착하고, 그 상부에 스핀 온 글라스를 도포하여 상기 형성한 홀을 채운 다음 에치백하는 커패시터 하부전극 형성 과정과; 상기 에치백으로 드러난 폴리실리콘을 식각한 후 스핀 온 글라스를 제거하고, 상기 과정에서 드러난 커패시터 하부전극 간의 제 4산화막 및 그 하부에 위치한 제 2질화막을 건식각하여 제거하고, 상기 과정을 통해 드러난 제 3산화막을 습식각하여 커패시터 하부전극의 표면적을 확장한 후 상기 구조물 상부전면에 차례로 유전물질, 커패시터 상부전극을 증착하는 커패시터 확장 및 상부전극 형성공정으로 이루어지는 것을 특징으로 하는 커패시터 형성방법.

도면

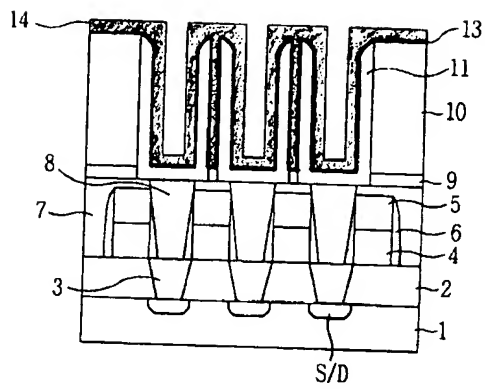
도면1a



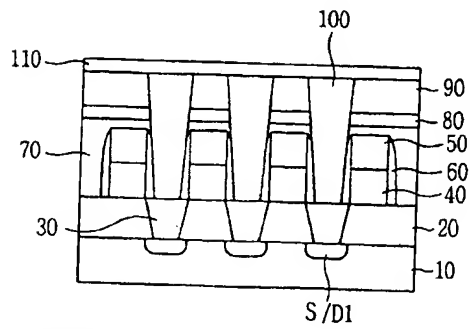
도면1b



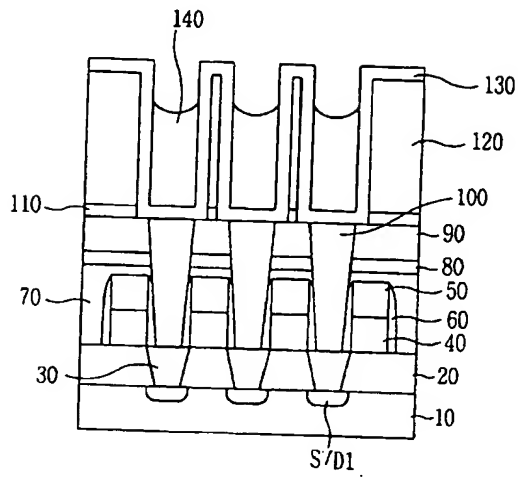
도면1c



도면2a



도면2b



도면2c

